

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-164050

(43)Date of publication of application : 19.06.1998

(51)Int.Cl.

H04L 9/20

(21)Application number : 08-320269

(71)Applicant : SAMSUNG ELECTRON CO LTD

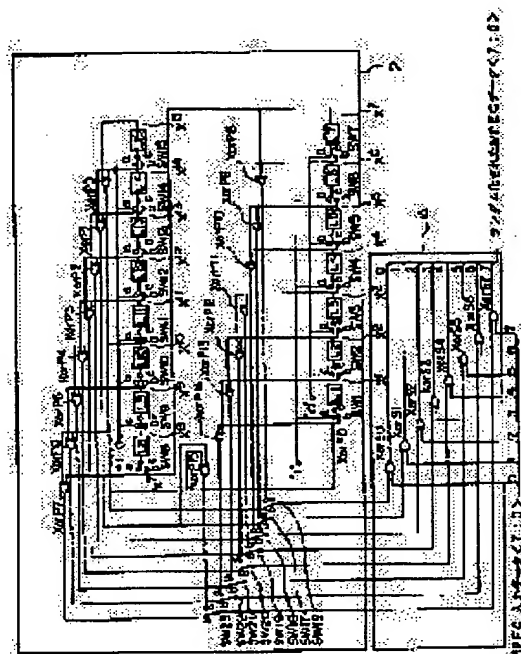
(22)Date of filing : 29.11.1996

(72)Inventor : AOKI KAZUYO

(54) METHOD AND DEVICE FOR MAKING DIGITAL BIT STREAM INTO PSEUDO RANDOM AND DEMODULATOR**(57)Abstract**

PROBLEM TO BE SOLVED: To realize a high speed processing, to deteriorate an operation clock and to use an element whose reliability is high, whose cost is low and whose frequency response is low by making a digital signal into random in a byte unit in accordance with an input signal.

SOLUTION: Switches SW1-SW15 are set to an (a)-side, latches L1-L15 are set to initial values and are set to a (b)-side so as to constitute a shift register by the latches L1-L15. A pseudo random binary sequence is obtained for the outputs of exclusive OR elements XorP0-XorP15. The pseudo random binary sequence is inputted to one terminal in the respective exclusive OR elements XorS0-XorS7 by controlling switches SW16-SW23. MPEG input data <7:0> of one byte is inputted to the other terminal and MPEG input data <7:0> which is made into random is obtained. Thus, random making processing time can be shortened.

**LEGAL STATUS**

[Date of request for examination] 28.11.2003

[Date of sending the examiner's decision of rejection] 01.11.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-164050

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁸

H 0 4 L 9/20

識別記号

F I

H 0 4 L 9/00

6 5 3

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平8-320269

(22) 出願日 平成 8 年 (1996) 11 月 29 日

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 青木 和世

埼玉県大宮市別所町45-3-2-506

(74) 代理人 弁理士 伊東 忠彦 (外 1 名)

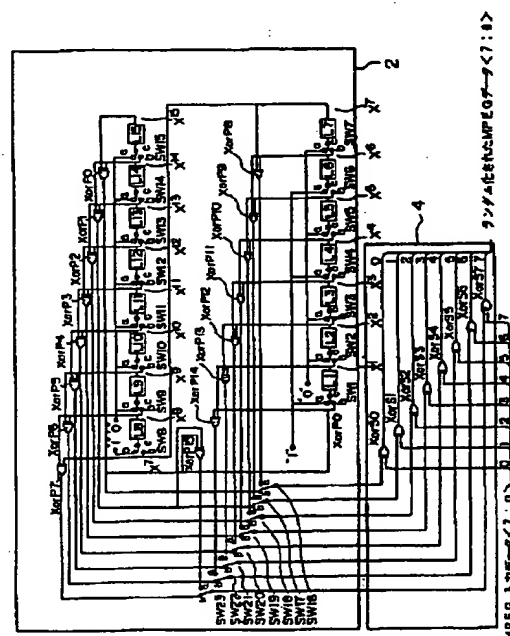
(54) 【発明の名称】 デジタルビットストリームの擬似ランダム化方法及び装置と、復調器

(57) 【要約】

【課題】 本発明は、信号の擬似ランダム化において入力信号に対応してバイト単位でデジタル信号のランダム化を行うランダム化装置の提供を目的とする。

【解決手段】 本発明のデジタルビットストリームの擬似ランダム化装置は、擬似ランダム2値シーケンスをバイト単位で発生するシフトレジスタ手段(2)と、バイト単位の入力データと、上記シフトレジスタ手段からのバイト単位の擬似ランダム2値シーケンスデータが供給され、擬似ランダム化された上記入力データを得るため、上記入力データの各ビットと、対応する上記擬似ランダム2値シーケンスデータのビットの排他的論理和を演算する排他的論理和手段(4)とからなる。

本発明のランダム化装置の原理構成図



【特許請求の範囲】

【請求項1】 擬似ランダム2値シーケンスを発生用の初期値を設定する段階と、

1回のクロックにตอบสนองして、バイト単位の擬似ランダム2値シーケンスデータを発生する段階と、
バイト単位のデジタルビットストリームデータを入力し、上記バイト単位の擬似ランダム2値シーケンスデータの各ビットと、対応する上記バイト単位のデジタルビットストリームデータのビットの排他的論理和をバイト単位で演算する段階とからなるデジタルビットストリームの擬似ランダム化方法。

【請求項2】 擬似ランダム2値シーケンスをバイト単位で発生するシフトレジスタ手段と、
バイト単位の入力データと、上記シフトレジスタ手段からのバイト単位の擬似ランダム2値シーケンスデータが供給され、擬似ランダム化された上記入力データを得るため、上記入力データの各ビットと、対応する上記擬似ランダム2値シーケンスデータのビットの排他的論理和を演算する排他的論理和手段とからなるデジタルビットストリームの擬似ランダム化装置。

【請求項3】 上記シフトレジスタ手段は、上記擬似ランダム2値シーケンスを2バイト単位で発生し、
上記排他的論理和手段は、上記シフトレジスタから2バイト単位の擬似ランダム2値シーケンスの中の上記擬似ランダム2値シーケンスデータが1バイト単位で供給される請求項2記載のデジタルビットストリームの擬似ランダム化装置。

【請求項4】 擬似ランダム2値シーケンスをバイト単位で発生するシフトレジスタ手段と、
擬似ランダム化されたバイト単位の入力データと、上記シフトレジスタ手段からのバイト単位の擬似ランダム2値シーケンスデータが供給され、擬似ランダム化が解除されたデータを得るため、上記入力データの各ビットと、対応する上記擬似ランダム2値シーケンスデータのビットの排他的論理和を演算する排他的論理和手段とからなるデジタルビットストリームの復調器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタル記録方式、デジタル放送方式及び符号化方式に係り、特に、デジタル通信において、デジタル信号のビットストリームのエネルギーの均一化を図るため行われるデジタルビットストリームの擬似ランダム化方法及び装置と復調器に関する。

【0002】

【従来の技術】 上記のタイプの擬似ランダム化を行う従来のランダム化装置又はスクランブラは、原理的に、ビットストリーム信号の1ビット毎に対応する信号を出力し、ビットストリーム信号とその対応する信号の排他的論理和によりランダム化を行う。エネルギー分散化のた

めの擬似ランダム化は、例えば、欧州テレコミュニケーション規格草案ETS300744、バージョン0.0.3、1996年3月、11ページに記載されている。

【0003】 図5は従来技術によるランダム化回路の原理図である。同図において、ランダム化回路は、15個のラッチL-1乃至L-15と、ラッチへの入力を切替える15個のスイッチSW1乃至SW15とにより構成される。排他的論理和素子Xor0の2個の入力には、ラッチL-14及びラッチL-15の出力が接続される。排他的論理和素子Xor1には、排他的論理和素子Xor0の出力と、デジタル信号ビットストリームとが入力される。入力される信号は、8ビットにより構成されたバイト信号である。並列・直列変換器は、8ビットのバイト信号を直列信号に変換する。並列・直列変換器から出力された直列信号はXor1の一方の入力に供給される。

【0004】 以下、上記従来のランダム化回路の動作を説明する。最初にシフトレジスタを構成するラッチL-1乃至L-15の前に接続された各スイッチSW1乃至SW15は初期値設定側aにセットされ、ラッチL-1乃至L-15に初期値が入力される。ラッチL-1乃至L-15は、入力された初期値を保持し、次いで、各スイッチSW1乃至SW15がb側にセットされることにより、シフトレジスタが形成される。Xor0は、例えば、多項式 $1 + X^{14} + X^{15}$ に従って擬似ランダム信号を発生する。ここで形成されたシフトレジスタに供給されるクロックは、並列・直列変換器に供給されるビットデータクロックと同じである。

【0005】 ラッチL-14の出力及びラッチL-15の出力は、排他的論理和素子Xor0に入力され、排他的論理和演算が行われる。排他的論理和素子Xor0の出力は、並列・直列変換された入力信号のビットストリームと共に排他的論理和素子Xor1に入力される。排他的論理和素子Xor1は、排他的論理和素子Xor0の出力と並列・直列変換された入力信号のビットストリームの排他的論理和演算を行い、ビットストリームをランダム化する。ランダム化された信号は、直列・並列変換器により並列信号に変換され、バイト単位でリードシロモン形の信号処理が行われる。

【0006】 図6は、バイトクロック及びビットクロック中の処理時間を示す図である。従来のランダム化装置の場合、データのランダム化はビット単位で直列に行われるので、ランダム化は同図の(b)に示されるビットクロックで動作する。

【0007】

【発明が解決しようとする課題】 しかし、上記の従来のランダム化装置の場合、データがビット単位でランダム化されるので、回路をビットクロックで動かす必要がある。實際上、ランダム化回路は、略20乃至30MHz

3

のクロックで作動される。従って、高速な周波数応答を有する素子を使用しなければならないという問題点がある。

【0008】上記の問題点に鑑み、本発明は、上記の信号の擬似ランダム化において、入力信号に対応してバイト単位でデジタル信号のランダム化を行うランダム化方法及び装置の提供を目的とする。更に、本発明は、ランダム化された信号のランダム化をバイト単位で解除する復調器の提供を目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明のデジタルビットストリームの擬似ランダム化方法は、擬似ランダム2値シーケンスを発生用の初期値を設定する段階と、1回のクロックに对应して、バイト単位の擬似ランダム2値シーケンスデータを発生する段階と、バイト単位のデジタルビットストリームデータを入力し、上記バイト単位の擬似ランダム2値シーケンスデータの各ビットと、対応する上記バイト単位のデジタルビットストリームデータのビットの排他的論理和をバイト単位で演算する段階とからなる。

【0010】上記の方法を実行する本発明のデジタルビットストリームの擬似ランダム化装置は、擬似ランダム2値シーケンスをバイト単位で発生するシフトレジスタ手段2と、バイト単位の入力データと、上記シフトレジスタ手段からのバイト単位の擬似ランダム2値シーケンスデータが供給され、擬似ランダム化された上記入力データを得るため、上記入力データの各ビットと、対応する上記擬似ランダム2値シーケンスデータのビットの排他的論理和を演算する排他的論理和手段4とからなる。上記本発明のデジタルビットストリームの擬似ランダム化装置のシフトレジスタ手段には、信号処理がビットクロック単位ではなくバイト単位で行われるように、擬似ランダム2値シーケンスの信号を2バイト(16ビット)単位で発生させる手段が設けられる。

【0011】本発明の擬似ランダム化装置によれば、信号をバイト単位で処理できるため、処理時間が高速になり、周波数応答の低い素子を使えるようになる。例えば、1バイト=8ビットとすれば、処理時間はビットクロックに対し1/8時間となる。更に、並列・直列、直列・並列変換回路が不要になるので、信号処理が容易になる。

【0012】上記本発明の擬似ランダム化装置は、ランダム化された8ビットデータをその入力に供給することにより、ランダム化が解除された8ビットデータが出力に発生されるので、ランダム化されたデータの復調器として使用される。

【0013】

【発明の実施の形態】図1は、本発明の擬似ランダム化装置の原理構成図である。本発明の一実施例の擬似ランダム化装置は、2バイト分のPRBS(擬似ランダム2

4

値シーケンス)を発生する15個のラッチL1乃至L15と、ラッチL1乃至L15への入力を切換える対応する15個のスイッチSW1乃至SW15とからなる。各スイッチSW1乃至SW15の出力端子cは、夫々、ラッチL1乃至L15の入力に接続される。スイッチSW1、SW4、SW6及びSW8のa側入力(論理的ハイレベル、即ち、“1”)に接続され、それ以外のスイッチSW2、SW3、SW5、SW7、SW9、SW10、SW11、SW12、SW13、SW14及びSW15のa側入力(論理的ローレベル、即ち、“0”)に接続される。スイッチSW2乃至SW15のb側入力は、夫々、ラッチL1乃至L14の出力に接続される。

【0014】上記擬似ランダム化装置は、更に、8個の排他的論理和素子XorP0乃至XorP7を含む第1の排他的論理和素子群と、別の8個の排他的論理和素子XorP8乃至XorP15を含む第2の排他的論理和素子群とを有する。排他的論理和素子XorP0乃至XorP13の一方の入力は、夫々、ラッチL15乃至L2の出力と接続され、他方の入力は、夫々、ラッチL14乃至L1の出力と接続される。排他的論理和素子XorP14の一方の入力はラッチL1の出力に接続され、他方の入力は排他的論理和素子XorP0の出力に接続される。排他的論理和素子XorP15の一方の入力は排他的論理和素子XorP0の出力に接続され、他方の入力は排他的論理和素子XorP1の出力に接続される。

【0015】上記の如く、ラッチL1乃至L15と排他的論理和素子XorP0乃至XorP15を接続することにより、排他的論理和素子XorP0乃至XorP15の出力に得られる擬似ランダム2値シーケンスを以下の表1に示された多項式の形で表わすことができる。

【0016】

【表1】

5

擬似ランダム2値シーケンス発生用多項式

(a) 第1の排他的論理和素子群

0	$XorP0 = X^{14} + X^{15}$
1	$XorP1 = X^{13} + X^{14}$
2	$XorP2 = X^{12} + X^{13}$
3	$XorP3 = X^{11} + X^{12}$
4	$XorP4 = X^{10} + X^{11}$
5	$XorP5 = X^9 + X^{10}$
6	$XorP6 = X^8 + X^9$
7	$XorP7 = X^7 + X^8$

(b) 第2の排他的論理和素子群

8	$XorP8 = X^6 + X^7$
9	$XorP9 = X^5 + X^6$
10	$XorP10 = X^4 + X^5$
11	$XorP11 = X^3 + X^4$
12	$XorP12 = X^2 + X^3$
13	$XorP13 = X^1 + X^2$
14	$XorP14 = XorP0 + X^1$
15	$XorP15 = XorP1 + XorP0$

【0017】別のスイッチSW16乃至SW23は、夫々、第1の排他的論理和素子群XorP0乃至XorP7の出力と、対応する第2の排他的論理和素子群XorP8乃至XorP15の出力を切替える。即ち、第1の排他的論理和素子群XorP0乃至XorP7の出力は、夫々、スイッチSW16乃至SW23のb側入力端子に接続され、第2の排他的論理和素子群XorP8乃至XorP15の出力は、夫々、スイッチSW16乃至SW23のa側入力端子に接続される。

【0018】上記擬似ランダム化装置には排他的論理和素子XorS0乃至XorS7が設けられ、各排他的論理和素子XorS0乃至XorS7は、一方の入力が8ビットからなるMPEG入力バイトデータの夫々のビットが供給され、他方の入力がスイッチSW16乃至SW23の夫々のコモン端子と接続され、8ビットからなるランダム化されたMPEGデータの夫々のビットを出力する。

【0019】

【実施例】以下、図2を参照して、上記本発明の一実施例の擬似ランダム化装置の動作を説明する。最初に、スイッチSW1乃至SW15を夫々のa側入力にセットし、対応する各ラッチL1乃至L15に初期値を設定する(ステップ10)。この例の場合、最上位ビットから順に表わされた2進形式の初期値は、“1001010100000000”である。

【0020】ラッチL1乃至L15が上記初期値を保持した後、スイッチSW1乃至SW15を夫々のa側入力にセットすることによりシフトレジスタが構成され、排他的論理和素子XorP0乃至XorP15の出力に上記の擬似ランダム2値シーケンスが得られる(ステップ12)。即ち、1回のクロックで16個の擬似ランダム2値シーケンスが得られる。この擬似ランダム2値シーケンスは、本発明の一実施例の擬似ランダム化装置の動作のタイミングチャートを表わす図3の(c)に示されたXorP0[15:0]に対応する。

【0021】次に、スイッチSW16乃至SW23をa側入力にセットすることにより、図3の(d)に示された擬似ランダム2値シーケンスデータXorP0[7:0]を排他的論理和素子XorS0乃至XorS7の一方の入力に供給し、同時に、図3の(e)に示された1バイトのMPEG入力信号DATA0[7:0]を排他的論理和素子XorS0乃至XorS7の他方の入力に供給することにより、排他的論理和素子XorS0乃至XorS7の出力にランダム化されたMPEG信号が発生される(ステップ14)。このランダム化されたMPEG信号は、図3の(f)のRZDATA0[7:0]に対応する。

【0022】続いて、スイッチSW16乃至SW23をb側入力にセットすることにより、図3の(d)に示された擬似ランダム2値シーケンスデータXorP0[15:8]を排他的論理和素子XorS0乃至XorS7の一方の入力に供給し、同時に、図3の(e)に示された次の1バイトのMPEG入力信号DATA1[7:0]を排他的論理和素子XorS0乃至XorS7の他方の入力に供給することにより、排他的論理和素子XorS0乃至XorS7の出力にランダム化されたMPEG信号が発生される(ステップ16)。このランダム化されたMPEG信号は、図3の(f)のRZDATA1[7:0]に対応する。

【0023】ランダム化されたMPEG信号の発生を継続するかどうかを判定し(ステップ18)、ランダム化されたMPEG信号の発生を継続するならば、図3の(c)に示されたように排他的論理和素子XorP0乃至XorP15の出力に次の2バイト分の擬似ランダム2値シーケンスXorP1[15:0]が得られようラッチL1乃至L15にクロックを供給し、ステップ14に戻る(ステップ20)。ランダム化されたMPEG信号の発生を継続しないならば処理を終了する。

【0024】図4は本発明の一実施例の擬似ランダム化装置が使用されるデジタルVTR(ビデオテープレコーダ)のデジタル信号処理部の概略構成図である。デジタルVTRには、MPEG2フォーマットのビデオ入力供給され、記録用の磁気ヘッドにビットストリームを出力する。最初に、MPEG2フォーマットのビデオ入力信号は、MPEG2フォーマット信号をデコード

し、デコードされたMPEG2信号から同期信号を取り出し、基準信号として各種の制御信号を生成する制御信号発生器10に供給される。制御信号発生器10により発生された制御信号は、同期信号のデコードを容易、かつ、正確に行うためのアンプル/シンクIDコードを発生するアンプル/シンクIDコード発生器12に送られる。

【0025】一方、ディジタルVTRに入力されたMPEG2フォーマットのビデオ入力信号は、誤り符号訂正エンコーダ14に供給される。誤り符号訂正エンコーダ14は、アウター・インターリーブ・符号化部16とインナー・インターリーブ・符号化部18とにより構成される。誤り符号訂正エンコーダ14は、供給されたMPEG2フォーマットのビデオ入力信号をインターリーブ、即ち、一定周期の下でMPEG2フォーマットの信号のバイト信号の順番がフォーマットに従ってバラバラになるよう分散させ、次に、リードソロモン符号化を適用してバースト誤りの訂正を容易にする。

【0026】マルチプレクサ20は、アンプル/シンクID発生器12と誤り符号訂正エンコーダ14とに接続され、同期信号のアンプル信号を誤り訂正されたMPEG信号に付加して出力する。マルチプレクサ20から出力された多重化された信号は、図1に示された本発明の擬似ランダム化装置からなるスクランブラ22に供給される。スクランブラ22は、図2に示された本発明の一実施例の擬似ランダム化装置の動作フローチャートに従って、供給された多重化信号内で直流成分が偏らないようにエネルギーを分散させる。

【0027】スクランブラ22によりエネルギーが分散された信号はプリコーディング装置24に供給され、プリコーディング装置24は、記録用磁気ヘッドに与える信号を得るため、供給された信号に最適なプリコーディング、例えば、NRZI、インターリーブ方式NRZI等を行い、ビットストリームを出力する。プリコーディング装置24から出力されたビットストリームは磁気ヘッドに供給される。

【0028】

【発明の効果】本発明によれば、ビット単位で行われていた処理がバイト単位で行えるようになるので、ASICゲートアレイ素子等を用いて回路を構成する場合にデ

ータの処理時間が短縮される。更に、本発明によれば、回路設計上、ビットクロック処理をバイトクロック処理に変更し、並列・直列変換回路及び並列・直列変換回路を無しで済ますことにより、1クロック時間当たりの遅延時間の割合が少なくなるので、従来のASIC、ゲートアレイ素子等で生じた内部素子の遅延時間の問題が解決される。或いは、本発明によれば、処理時間を短縮するのではなく、従来と同じ時間内に処理を行う場合には、動作クロックを低下させることができるので、回路に使用される素子の信頼性が向上し、コストが削減される利点がある。

【図面の簡単な説明】

【図1】本発明のランダム化装置の原理構成図である。

【図2】本発明の一実施例の擬似ランダム化装置の動作フローチャートである。

【図3】本発明の一実施例の擬似ランダム化装置のタイミングチャートである。

【図4】本発明の他の実施例のディジタルビデオテープレコーダの概略構成図である。

【図5】従来のランダム化回路の原理図である。

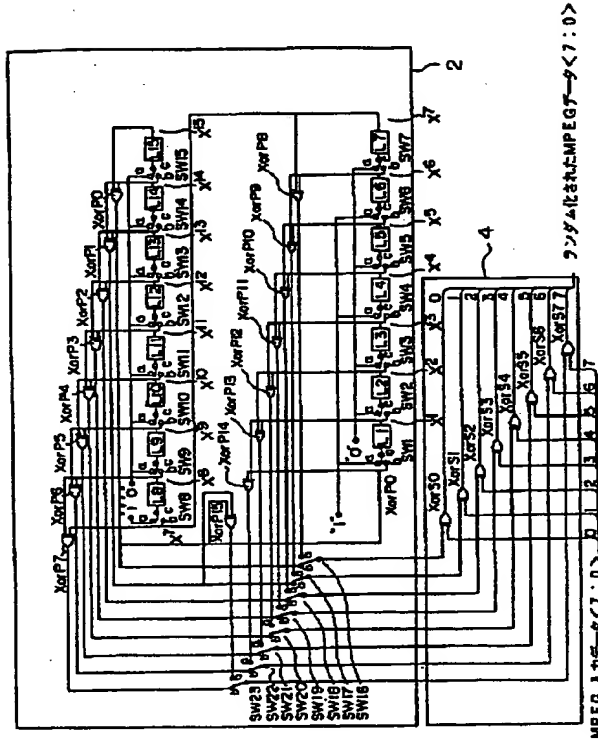
【図6】バイトクロック及びビットクロック中の処理時間の説明図である。

【符号の説明】

- 2 シフトレジスタ手段
- 4 排他的論理和手段
- 10 制御信号発生器
- 12 アンプル/シンクIDコード発生器
- 14 誤り符号訂正エンコーダ
- 16 アウター・インターリーブ・符号化部
- 18 インナー・インターリーブ・符号化部
- 20 マルチプレクサ
- 22 スクランブラ
- 24 プリコーディング装置
- L1, L2, . . . , L15 ラッチ
- XorP0, XorP1, . . . , XorP15, XorS0, XorS1, . . . , XorS7 排他的論理和素子
- SW1, . . . , SW15, SW16, . . . , SW23 スイッチ

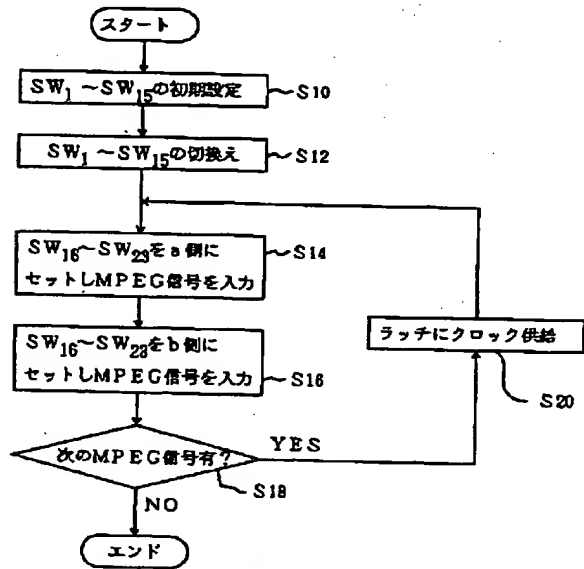
【図1】

本発明のランダム化装置の原理構成図



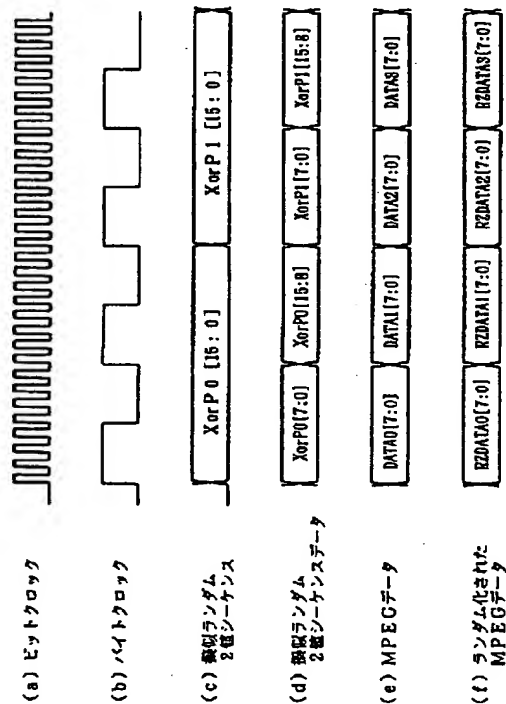
【図2】

本発明の一実施例の擬似ランダム化装置の動作フローチャート



【図3】

本発明の一実施例の擬似ランダム化装置のタイミングチャート



【図6】

バイトクロック及びビットクロック中の処理時間の説明図

